

PAT-NO: JP406187800A

DOCUMENT-IDENTIFIER: JP 06187800 A

TITLE: ANALYZING DEVICE FOR DEFECTIVE MODE OF STORAGE
ELEMENT

PUBN-DATE: July 8, 1994

INVENTOR-INFORMATION:

NAME
TONO, NAOMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP04354715

APPL-DATE: December 17, 1992

INT-CL (IPC): G11C029/00, G01R031/318

US-CL-CURRENT: 714/723

ABSTRACT:

PURPOSE: To analyze a defective mode of a storage element to be tested with a two dimension picture by processing a defective bit map in which the result of an operational test of storage elements are stored in the same array as a bit layout of a storage element to be tested as a two dimension picture.

CONSTITUTION: An analyzing section 22 which analyzes a defective mode of a memory element to be tested using a two dimension picture based on a defective bit map of the storage element to be tested is provided. The analyzing section 22 consists of an arithmetic part 23 which performs product such operation between a bit data map in a small region and a data template for a defective line conforming to a defective bit array over the whole region of the defective map and a discriminating section 24 which discriminates a defective mode basing

on the arithmetic operation result.

COPYRIGHT: (C) 1994, JPO&Japio

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is equipment which is connected to the testing device which performs the operation test of a storage element, and analyzes the defect mode of this storage element. The defect data collection section which incorporates the address information and defect information in every bit on a tested storage element which are outputted from said testing device, and creates the defect bit map of this tested storage element, The defect bit map memory which stores said defect bit map as memory information on an array equal to the bit layout of a tested storage element, Defect modal analysis equipment of the storage element equipped with the analysis section which incorporates said memory information, regards the defect bit map of a tested storage element as a two-dimensional image based on this memory information, and analyzes the defect mode of a tested storage element from this two-dimensional image.

[Claim 2] For said analysis section, said defect bit map is defect modal analysis equipment of the storage element according to claim 1 characterize by to have the operation part which performs the sum-of-products operation of the bit data map in a small region, and the data template according to the defect bit array in defect mode to detect in this small region about this defect bit map all field, and the judgment section which judges the defect mode of a test storage element based on the result of said sum-of-products operation a part.

[Claim 3] Said analysis section is defect modal analysis equipment of the storage element according to claim 1 characterized by having the operation part which measures every line of the two-dimensional array of said defect bit map, and each defect number of bits for every train, calculates horizontal projection from the measurement value for every line, and calculates vertical projection from the measurement value for every train, and the judgment section which judges the defect mode of a tested storage element based on these projection data.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] It connects with the testing device which performs the operation test of storage elements, such as a semi-conductor, and this invention relates to the defect modal analysis equipment of the storage element which analyzes the defect mode of a tested storage element based on the test result outputted from this testing device.

[0002]

[Description of the Prior Art] Drawing 8 is the block diagram showing the defect modal analysis equipment of the conventional storage element, and the circuit tester (testing device) to which 1 performs a tested storage element and 2 performs the operation test of the tested storage element 1, and 3 are defect modal analysis equipment in drawing. The bit output data of the tested storage element 1 corresponding to bit-address signal 4a in 5 and 6 are the test results (defect information) corresponding to the bit-address signal of this input signal 4 in the input signal and 4a as which 4 is inputted into the tested storage element 1 from a circuit tester 2 here which judged the bit output data 5 by the circuit tester 2. Said defect modal analysis equipment 3 is equipment which analyzes the defect mode of the tested storage element 1 based on a test result 6. The defect data collection section 11 which incorporates a test result 6 and bit-address signal 4a, and creates the defect bit map of the tested storage element 1, The defect bit map memory 12 which stores the memory information equal to the bit layout of the tested storage element 1 on an array for this defect bit map, and stores "1" and good for a defect as "0", It consists of displays 13 which display the information stored in this defect bit map memory 12 as a two-dimensional image.

[0003] Next, actuation is explained. If an input signal 4 is inputted into the tested storage element 1 from a circuit tester 2, the bit output data 5 corresponding to specified bit-address signal 4a will be sent to a circuit tester 2, and will be judged. The judged test result 6 and bit-address signal 4a are sent to the defect data collection section 11 of defect modal analysis equipment 3 from a circuit tester 2, the memory information on an array equal to the bit layout of the tested storage element 1, for example, a defect, stores in "1", and good stores in the defect bit map memory 12 this defect bit map outputted from the defect data collection section 11 as "0." Furthermore, a display 13 displays the information stored in the defect bit map memory 12 as a two-dimensional image.

[0004] Drawing 9 shows an example of the defect bit map displayed by the display 13, and four sorts of defect modes of 16d of poor blocks which continued in train poor line 16a which follows a lengthwise direction, line poor line 16b which follows a longitudinal direction, poor bit 16c which exists independently by 1 bit, the line, and the direction of a train are displayed in this defect bit map 16. In the former, people have judged the defect mode of the tested storage element 1 by viewing from this displayed defect bit map 16.

[0005]

[Problem(s) to be Solved by the Invention] since conventional defect modal analysis equipment is constituted as mentioned above and people have to make a judgment of defect mode, while requiring

time amount, decision capacity is required, and it is impossible in a mass production test line to specify defect mode for all products -- etc. -- there was a trouble. Moreover, since it had judged by viewing, in order to judge for a short time at accuracy, the remarkable level of skill was needed, and there was also a trouble of being unable to lose a judgment mistake.

[0006] This invention was made in order to cancel the above troubles, and it aims at offering the defect modal analysis equipment of the storage element which can analyze defect mode of a tested storage element automatically based on the result of the operation test of a storage element.

[0007]

[Means for Solving the Problem] The defect modal analysis equipment of the storage element concerning invention of claim 1 The defect data collection section which incorporates the address information and defect information in every bit on a tested storage element which are outputted from the testing device which performs the operation test of a storage element, and creates the defect bit map of this test storage element, The defect bit map memory which stores said defect bit map as memory information on an array equal to the bit layout of a tested storage element, Said memory information is incorporated, the defect bit map of a tested storage element is regarded as a two-dimensional image based on this memory information, and it has the analysis section which analyzes the defect mode of a tested storage element from this two-dimensional image using the image-analysis technique.

[0008] Moreover, the analysis section of the defect modal-analysis equipment of the storage element concerning invention of claim 2 carries out the sum-of-products operation of the bit data map in the small region which is a part of defect bit map, and the data template according to the defect bit array in defect mode to detect in this small region, and is equipped with the operation part which performs this sum-of-products operation about this defect bit map all field, and the judgment section which judges the defect mode of a tested component based on the result of said sum-of-products operation.

[0009] Moreover, the analysis section of the defect modal analysis equipment of the storage element concerning invention of claim 3 is equipped with the operation part which measures the defect number of bits for every line of the two-dimensional array of a defect bit map, and the defect number of bits for every train, calculates horizontal projection from the measurement value for every line, and calculates vertical projection from the measurement value for every train, and the judgment section which judges the defect mode of a tested storage element by combining these two projection data.

[0010]

[Function] The defect modal analysis equipment of the storage element in invention of claim 1 The defect data collection section from the address information and defect information in every bit on a tested storage element The defect bit map information that created the defect bit map of this tested storage element, and defect bit map memory was this created is stored as memory information on an array equal to the bit layout of a tested storage element. The analysis section regards a defect bit map as a two-dimensional image based on this memory information, and analyzes the defect mode of a tested storage element from this two-dimensional image. This defect mode is expressed as what combined either of four sorts of the poor block which is continuing in the poor train line each defect bit is following the lengthwise direction or the longitudinal direction or a poor line line, the poor bit in which 1 bit is at a time independently, a line, and the direction of a train, or these. Thereby, it becomes possible automatic and to specify the defect mode of a tested storage element for a short time.

[0011] Moreover, in part, operation part performs a sum-of-products operation with the data template according to the defect bit array in the bit data map in a small region, and the defect mode who wants to detect in this small region of a defect bit map about a defect bit map all field, the judgment section extracts a defect mode bit array from the result of this sum-of-products operation, and the analysis section of the defect modal analysis equipment of the storage element in invention of claim 2 judges the defect mode of a tested storage element.

[0012] Moreover, operation part measures every line of a defect bit map, and each defect number of bits for every train, and the analysis section of the defect modal analysis equipment of the storage element in invention of claim 3 calculates the measurement value for every train to vertical projection for horizontal projection from the measurement value for every line, respectively, and the judgment section

extracts the description in the mode of a defect bit from these projection data, and it judges the defect mode of a test storage element.

[0013]

[Example]

One example of this invention is explained about drawing below example 1. In drawing 1, 21 is defect modal analysis equipment. This defect modal analysis equipment 21 improves the defect modal analysis equipment 3 of the conventional example, gives the same sign to the same element as the component shown in drawing 8 in drawing 1, and omits explanation about this same element. This defect modal analysis equipment 21 consists of the defect data collection section 11, defect bit map memory 12, a display 13, and the analysis section 22.

[0014] the analysis section 22 -- a part of defect bit map -- it has the operation part 23 which performs the sum-of-products operation of the bit data map in a small region, and the data template according to the defect bit array in defect mode to detect in this small region about this defect bit map all field, and the judgment section 24 which judges the defect mode of the tested storage element 1 based on the result of said sum-of-products operation.

[0015] Next, actuation is explained. If an input signal 4 is inputted into the tested storage element 1 from a circuit tester 2, the bit output data 5 corresponding to specified bit-address signal 4a will be sent to a circuit tester 2, and will be judged. The judged test result 6 and bit-address signal 4a are sent to the defect data collection section 11 of defect modal analysis equipment 21 from a circuit tester 2, the memory information on an array equal to the bit layout of the tested storage element 1, for example, a defect, stores in "1", and good stores in the defect bit map memory 12 this defect bit map outputted from the defect data collection section 11 as "0." Furthermore, a display 13 displays the information stored in the defect bit map memory 12 as a two-dimensional image.

[0016] Drawing 2 is the example of a display of the defect bit map displayed on a display 13, and 16d of poor blocks and the defect mode of ***** which continued in train poor line 16a which follows a lengthwise direction, line poor line 16b which follows a longitudinal direction, poor bit 16c which exists independently by 1 bit, and the direction of a train are displayed in this defect bit map 25. Moreover, 26 is the small region of the object which performs processing on a defect bit map.

[0017] In operation part 23, the defect bit map 25 A two-dimensional binary image like drawing 2, For example, it regards as a two-dimensional image [as / whose part equivalent to a defect bit is "1" / whose good is "0"]. As shown in drawing 3 from this image, sum-of-products count with bit data map 26a of the range of a small region 26 and the data template 27 for a poor line of the small region of the bit array in defect mode to detect (data template) is based on a formula (1). The image field whole It carries out about $(1 < n, m < 1024)$.

[0018]

[Equation 1]

$$L(n, m) = \sum_{i=1}^5 \{ \sum_{j=1}^5 A(n-3+i, m-3+j) \otimes B(i, j) \}$$

..... (1)

\otimes ; 排他的論理和

[0019] Here, an equation (1) is a formula which asks for L (n, m) whenever [line poor matching / of the bit of a bit address (n, m)] using the data template 27 for a poor line.

[0020] Thus, a defect mode bit array is extracted from a two-dimensional image. That is, it is changed into the image with which the calculated value L of the part of a poor line (n, m) became large. Next, in

the judgment section 24, defect mode is specified for calculated value $L(n, m)$ as compared with a reference value.

[0021] Said data template 27 for a poor line is prepared for every defect mode, respectively, and sum-of-products count is performed. Drawing 4 and drawing 5 show these data templates for a poor line, drawing 4 is the data template of a poor bit, and drawing 5 is the data template of a poor block.

[0022] according to [as explained above] this defect modal analysis equipment 21 -- a part of defect bit map -- moreover, the defect mode of the tested storage element 1 can be automatically specified in a short time from the result of having performed sum-of-products count with bit data map 26a in a small region 26, and the data template 27 for a poor line about the defect bit map 25 all field. Furthermore, in a mass production test line, defect mode can be specified for all products, and it is effective in the ability to lose a judgment mistake.

[0023] Example 2. drawing 6 is drawing showing the defect modal analysis equipment 31 of the storage element of other examples of this invention. This defect modal analysis equipment 31 is replaced with the analysis section 32 which describes the analysis section 22 of the defect modal analysis equipment 21 of the above-mentioned example below.

[0024] This analysis section 32 is equipped with the operation part 33 which measures every line of the two-dimensional array of a defect bit map, and each defect number of bits for every train, calculates horizontal projection from the measurement value for every line, and calculates vertical projection from the measurement value for every train, and the judgment section 34 which judges the defect mode of the tested storage element 1 based on these projection data.

[0025] Next, actuation is explained. If an input signal 4 is inputted into the tested storage element 1 from a circuit tester 2, it will be sent to bit output-data 5 circuit tester 2 corresponding to specified bit-address signal 4a, and will be judged. The judged test result 6 and bit-address signal 4a are sent to the defect data collection section 11 of defect modal analysis equipment 31 from a circuit tester 2, the memory information on an array equal to the bit layout of the tested storage element 1, for example, a defect, stores in "1", and good stores in the defect bit map memory 12 this defect bit map outputted from the defect data collection section 11 as "0." Furthermore, a display 13 displays the information stored in the defect bit map memory 12 as a two-dimensional image.

[0026] In operation part 33, every line of the two-dimensional array of the defect bit map 35 as shown in drawing 7, and each defect number of bits for every train are measured, and it asks for the horizontal projection 36 and the vertical projection 37. In the judgment section 34, by combining the horizontal projection 36 and the vertical projection 37, the description in the mode of a defect bit is extracted and the defect mode of the tested storage element 1 is judged.

[0027] Moreover also in this defect modal analysis equipment 31, the defect mode of the tested storage element 1 can be automatically specified in a short time like the defect modal analysis equipment 21 of the above-mentioned example. Furthermore in a mass production test line, defect mode can be specified for all products, and it is effective in the ability to lose a judgment mistake.

[0028]

[Effect of the Invention] As mentioned above, since according to invention of claim 1 it constituted so that the defect bit map of a tested storage element might be regarded as a two-dimensional image based on the memory information which incorporated the analysis section and the defect mode of a tested storage element might be analyzed from this two-dimensional image, moreover, the defect mode of a tested storage element can be specified in a short time automatically. Furthermore in a mass production test line, defect mode can be specified for all products, and it is effective in the ability to lose an artificial judgment mistake.

[0029] moreover -- according to invention of claim 2 -- the analysis section -- a part of defect bit map -- since the operation part which performs the sum-of-products operation of the bit data map in a small region and the data template for a poor line according to the defect bit array in this small region about a defect bit map all field, and the judgment section which judges the defect mode of a tested storage element based on the result of a sum-of-products operation constituted, moreover, the defect mode of a tested storage element can specify in a short time automatically. And since it judges from the result of a

sum-of-products operation, there is effectiveness, like an artificial judgment mistake is lost.

[0030] Moreover, the operation part which according to invention of claim 3 measures every line of the two-dimensional array of a defect bit map, and each defect number of bits for every train for the analysis section, calculates horizontal projection from the measurement value for every line, and calculates vertical projection from the measurement value for every train, Since the judgment section which judges the defect mode of a tested storage element based on these projection data constituted, moreover, the defect mode of a tested storage element can be specified in a short time automatically. And since it judges combining horizontal projection and vertical projection, there is effectiveness, like an artificial judgment mistake is lost.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the defect modal analysis equipment of the storage element by one example of this invention.

[Drawing 2] It is drawing showing the example of a display of the defect bit map by one example of this invention.

[Drawing 3] It is drawing showing the bit data map of a small region and the data template for a poor line by one example of this invention.

[Drawing 4] It is drawing showing the data template for a poor bit used in one example of this invention.

[Drawing 5] It is drawing showing the data template for a poor block used in one example of this invention.

[Drawing 6] It is the block diagram of the defect modal analysis equipment of the storage element of other examples of this invention.

[Drawing 7] It is drawing showing the projection data outputted from the operation part of other examples of this invention.

[Drawing 8] It is the block diagram of the defect modal analysis equipment of the conventional storage element.

[Drawing 9] It is drawing showing the example of a display of the conventional defect bit map.

[Description of Notations]

1 Tested Storage Element

2 Circuit Tester (Testing Device)

11 Defect Data Collection Section

12 Defect Bit Map Memory

22 Analysis Section

23 Operation Part

24 Judgment Section

25 Defect Bit Map

26 Small Region

27 Data Template for Poor Line (Data Template)

32 Analysis Section

33 Operation Part

34 Judgment Section

35 Defect Bit Map (Bit Data Map)

36 Horizontal Projection

37 Vertical Projection

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CORRECTION OR AMENDMENT

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law
 [Category partition] The 4th partition of the 6th category
 [Publication date] March 28, Heisei 9 (1997)

[Publication No.] Publication number 6-187800
 [Date of Publication] July 8, Heisei 6 (1994)
 [Annual volume number] Open patent official report 6-1878
 [Application number] Japanese Patent Application No. 4-354715
 [International Patent Classification (6th Edition)]

G11C 29/00 303
 G01R 31/28

[FI]

G11C 29/00 303 C 9459-5L
 G01R 31/28 B 9308-2G

[Procedure amendment]
 [Filing Date] March 12, Heisei 8
 [Procedure amendment 1]
 [Document to be Amended] Description
 [Item(s) to be Amended] 0018
 [Method of Amendment] Modification
 [Proposed Amendment]
 [0018]
 [Equation 1]

$$L(n, m) = \sum_{i=1}^5 \{ \sum_{j=1}^5 A(n-3+i, m-3+j) \otimes B(i$$

...

\otimes ; 排他的論理和

.....
[Translation done.]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-187800

(43)公開日 平成6年(1994)7月8日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3 C	6741-5L		
G 0 1 R 31/318		6912-2G	G 0 1 R 31/ 28	B

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号 特願平4-354715

(22)出願日 平成4年(1992)12月17日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 東野 直巳

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

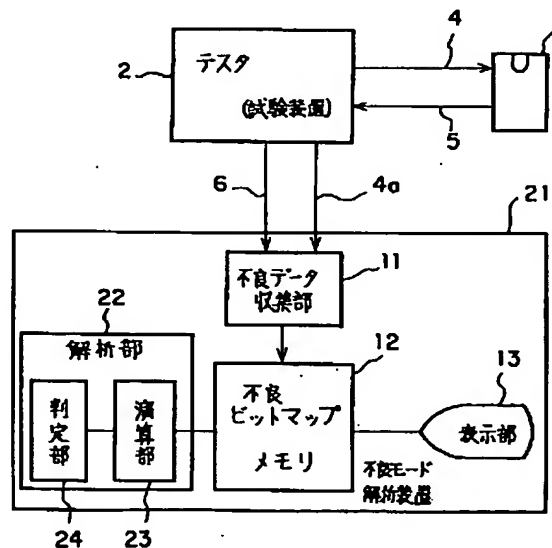
(74)代理人 弁理士 田澤 博昭 (外2名)

(54)【発明の名称】 記憶素子の不良モード解析装置

(57)【要約】

【目的】 記憶素子の動作テスト結果を被テスト記憶素子のビットレイアウトと等しい配列で格納された不良ビットマップを2次元画像としてとらえ、該2次元画像により被テスト記憶素子の不良モードを解析する。

【構成】 被テスト記憶素子の不良ビットマップに基づく2次元画像より被テスト記憶素子の不良モードを解析する解析部22を備え、解析部22は、小領域内のビットデータマップと不良ビット配列に従うライン不良用データテンプレートとの積和演算を不良ビットマップ全領域について行なう演算部23と、該演算結果に基づき不良モードを判定する判定部24から成る。



1: 被テスト記憶素子

【特許請求の範囲】

【請求項1】 記憶素子の動作テストを行なう試験装置に接続され、該記憶素子の不良モードを解析する装置であって、前記試験装置より出力される被テスト記憶素子の1ビット毎のアドレス情報及び不良情報を取り込み、該被テスト記憶素子の不良ビットマップを作成する不良データ収集部と、前記不良ビットマップを被テスト記憶素子のビットレイアウトと等しい配列のメモリ情報として格納する不良ビットマップメモリと、前記メモリ情報を取り込み、該メモリ情報に基づき被テスト記憶素子の不良ビットマップを2次元画像としてとらえ、該2次元画像より被テスト記憶素子の不良モードを解析する解析部とを備えた記憶素子の不良モード解析装置。

【請求項2】 前記解析部は、前記不良ビットマップの一部小領域内のビットデータマップとこの小領域において検出したい不良モードの不良ビット配列に従うデータテンプレートとの積和演算を、該不良ビットマップ全領域について行う演算部と、前記積和演算の結果に基づき被テスト記憶素子の不良モードを判定する判定部とを備えたことを特徴とする請求項1記載の記憶素子の不良モード解析装置。

【請求項3】 前記解析部は、前記不良ビットマップの2次元配列の各行毎及び各列毎の各々の不良ビット数を計測し、各行毎の計測値から横投影を求め、各列毎の計測値から縦投影を求める演算部と、これらの投影データに基づき被テスト記憶素子の不良モードを判定する判定部とを備えたことを特徴とする請求項1記載の記憶素子の不良モード解析装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体等の記憶素子の動作テストを行なう試験装置に接続され、該試験装置より出力されるテスト結果に基づき被テスト記憶素子の不良モードを解析する記憶素子の不良モード解析装置に関するものである。

【0002】

【従来の技術】図8は従来の記憶素子の不良モード解析装置を示す構成図であり、図において、1は被テスト記憶素子、2は被テスト記憶素子1の動作テストを行なうテスト（試験装置）、3は不良モード解析装置である。ここで4はテスト2から被テスト記憶素子1へ入力される入力信号、4aはこの入力信号4のうちのビットアドレス信号、5はビットアドレス信号4aに対応する被テスト記憶素子1のビット出力データ、6はビット出力データ5をテスト2で判定したテスト結果（不良情報）である。前記不良モード解析装置3は、テスト結果6に基づき被テスト記憶素子1の不良モードを解析する装置であって、テスト結果6とビットアドレス信号4aを取り込み、被テスト記憶素子1の不良ビットマップを作成する不良データ収集部11と、該不良ビットマップを被テ

スト記憶素子1のビットレイアウトと等しい配列のメモリ情報、例えば、不良を“1”、良を“0”として格納する不良ビットマップメモリ12と、該不良ビットマップメモリ12に格納された情報を2次元画像として表示する表示部13とから構成されている。

【0003】次に動作について説明する。テスト2から被テスト記憶素子1へ入力信号4が入力されると、指定されたビットアドレス信号4aに対応するビット出力データ5がテスト2へ送られ判定される。その判定されたテスト結果6、及びビットアドレス信号4aはテスト2より不良モード解析装置3の不良データ収集部11へ送られ、不良データ収集部11から出力される該不良ビットマップを被テスト記憶素子1のビットレイアウトと等しい配列のメモリ情報、例えば、不良は“1”、良は“0”として不良ビットマップメモリ12へ格納する。さらに、表示部13が不良ビットマップメモリ12に格納された情報を2次元画像として表示する。

【0004】図9は表示部13により表示された不良ビットマップの一例を示すもので、該不良ビットマップ16では、縦方向に連続する列ライン不良16a、横方向に連続する行ライン不良16b、1ビットで独立して存在するビット不良16c、行及び列方向に連続したブロック不良16dの4種の不良モードが表示されている。従来では、この表示された不良ビットマップ16から、人が目視により被テスト記憶素子1の不良モードを判定している。

【0005】

【発明が解決しようとする課題】従来の不良モード解析装置は以上のように構成されているので、不良モードの判断は人が行わなければならないため、時間を要すると共に判断能力が必要であり、量産テストラインにおいて、全製品を対象として不良モードの特定を行なうことは不可能である等の問題点があった。また、目視により判定しているために、短時間に正確に判定するためにはかなりの熟練度が必要となり、また判定ミスをなくすることができない等の問題点もあった。

【0006】この発明は上記のような問題点を解消するためになされたもので、記憶素子の動作テストの結果に基づき自動的に被テスト記憶素子の不良モードの解析を行なうことができる記憶素子の不良モード解析装置を提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1の発明に係る記憶素子の不良モード解析装置は、記憶素子の動作テストを行なう試験装置より出力される被テスト記憶素子の1ビット毎のアドレス情報と不良情報を取り込み、該テスト記憶素子の不良ビットマップを作成する不良データ収集部と、前記不良ビットマップを被テスト記憶素子のビットレイアウトと等しい配列のメモリ情報として格納する不良ビットマップメモリと、前記メモリ情報を取り込

み、該メモリ情報に基づき被テスト記憶素子の不良ビットマップを2次元画像としてとらえ、画像解析手法を用いて該2次元画像より被テスト記憶素子の不良モードを解析する解析部とを備えたものである。

【0008】また、請求項2の発明に係る記憶素子の不良モード解析装置の解析部は、不良ビットマップの一部である小領域内のビットデータマップと、この小領域において検出したい不良モードの不良ビット配列に従うデータテンプレートとを積和演算し、この積和演算を該不良ビットマップ全領域について行なう演算部と、前記積和演算の結果に基づいて、被テスト素子の不良モードを判定する判定部とを備えたものである。

【0009】また、請求項3の発明に係る記憶素子の不良モード解析装置の解析部は、不良ビットマップの2次元配列の各行毎の不良ビット数及び各列毎の不良ビット数を計測し、各行毎の計測値から横投影を求め、各列毎の計測値から縦投影を求める演算部と、これら2つの投影データを組み合わせることにより被テスト記憶素子の不良モードを判定する判定部とを備えたものである。

【0010】

【作用】請求項1の発明における記憶素子の不良モード解析装置は、不良データ収集部が被テスト記憶素子の1ビット毎のアドレス情報及び不良情報より、該被テスト記憶素子の不良ビットマップを作成し、不良ビットマップメモリが該作成された不良ビットマップ情報を被テスト記憶素子のビットレイアウトと等しい配列のメモリ情報として格納し、解析部が該メモリ情報に基づき不良ビットマップを2次元画像としてとらえ、該2次元画像より被テスト記憶素子の不良モードを解析する。該不良モードは、各不良ビットが縦方向または横方向に連続している列ライン不良または行ライン不良、1ビットずつ独立しているビット不良、行及び列方向に連続しているブロック不良の4種のいずれか、またはこれらを組み合わせたものとして表わす。これにより、自動的かつ短時間に、被テスト記憶素子の不良モードを特定することが可能になる。

【0011】また、請求項2の発明における記憶素子の不良モード解析装置の解析部は、演算部が不良ビットマップの一部小領域内のビットデータマップと、この小領域内の検出したい不良モードの不良ビット配列に従うデータテンプレートとの積和演算を、不良ビットマップ全領域について行い、判定部が該積和演算の結果より不良モードビット配列を抽出し、被テスト記憶素子の不良モードを判定する。

【0012】また、請求項3の発明における記憶素子の不良モード解析装置の解析部は、演算部が不良ビットマップの各行毎及び各列毎の各々の不良ビット数を計測し、各行毎の計測値から横投影を、各列毎の計測値から縦投影をそれぞれ求め、判定部がこれらの投影データから不良ビットのモードの特徴を抽出し、被テスト記憶素

子の不良モードを判定する。

【0013】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1において、21は不良モード解析装置である。この不良モード解析装置21は従来例の不良モード解析装置3を改良したものであり、図1において図8に示す構成要素と同一の要素には同一の符号を付し、この同一の要素については説明を省略する。この不良モード解析装置21は、不良データ収集部11と、不良ビットマップメモリ12と、表示部13と、解析部22とから構成されている。

【0014】解析部22は、不良ビットマップの一部小領域内のビットデータマップと、この小領域において検出したい不良モードの不良ビット配列に従うデータテンプレートとの積和演算を該不良ビットマップ全領域について行なう演算部23と、前記積和演算の結果に基づき被テスト記憶素子1の不良モードを判定する判定部24とを備えたものである。

20 【0015】次に動作について説明する。テスト2から被テスト記憶素子1に入力信号4が入力されると、指定されたビットアドレス信号4aに対応するビット出力データ5がテスト2へ送られ判定される。その判定されたテスト結果6、及びビットアドレス信号4aはテスト2より不良モード解析装置21の不良データ収集部11へ送られ、その不良データ収集部11から出力される該不良ビットマップを被テスト記憶素子1のビットレイアウトと等しい配列のメモリ情報、例えば、不良は“1”、良は“0”として不良ビットマップメモリ12へ格納する。さらに、表示部13が不良ビットマップメモリ12に格納された情報を2次元画像として表示する。

30 【0016】図2は表示部13に表示される不良ビットマップの表示例で、該不良ビットマップ25では、縦方向に連続する列ライン不良16a、横方向に連続する行ライン不良16b、1ビットで独立して存在するビット不良16c、列方向に連続したブロック不良16d、のそれぞれの不良モードが表示されている。また、26は不良ビットマップ上の処理を施す対象の小領域である。

40 【0017】演算部23では、不良ビットマップ25を図2のような2次元の2値画像、例えば不良ビットに相当する箇所が“1”、良が“0”であるような2次元画像としてとらえ、この画像から図3に示すように小領域26の範囲のビットデータマップ26aと検出したい不良モードのビット配列の小領域のライン不良用データテンプレート（データテンプレート）27との積和計算を式(1)に基づいて画像領域全体($1 < n, m < 1024$)について行う。

【0018】

【数1】

50

5

6

$$L(n, m) = \sum_{i=1}^5 \{ \sum_{j=1}^5 A(n-3+i, m-3+j) \otimes B(i, j) \}$$

..... (1)

⊗ ; 排他的論理和

【0019】ここで、式(1)はライン不良用データテンプレート27を用いてビットアドレス(n, m)のビットのライン不良マッチング度L(n, m)を求める計算式である。

【0020】このようにして、2次元画像から不良モードビット配列を抽出する。すなわち、ライン不良の部分の計算値L(n, m)が大きくなった画像に変換される。次に、判定部24では、計算値L(n, m)を基準値と比較し不良モードを特定する。

【0021】前記ライン不良用データテンプレート27は、不良モード毎にそれぞれ用意され、積和計算が行なわれる。図4及び図5はこれらのライン不良用データテンプレートを示すものであって、図4はビット不良のデータテンプレート、図5はブロック不良のデータテンプレートである。

【0022】以上説明したように、この不良モード解析装置21によれば、不良ビットマップの一部小領域26内のビットデータマップ26aと、ライン不良用データテンプレート27との積和計算を不良ビットマップ25全領域について行なった結果から被テスト記憶素子1の不良モードを自動的に、しかも短時間に特定することができる。さらに、量産テストラインにおいて全製品を対象として不良モードの特定を行なうことができ、判定ミスをなくすることができる効果がある。

【0023】実施例2。図6はこの発明の他の実施例の記憶素子の不良モード解析装置31を示す図である。この不良モード解析装置31は上記実施例の不良モード解析装置21の解析部22を下記に述べる解析部32と置き換えたものである。

【0024】この解析部32は、不良ビットマップの2次元配列の各行毎及び各列毎の各々の不良ビット数を計測し、各行毎の計測値から横投影を求め、各列毎の計測値から縦投影を求める演算部33と、これらの投影データに基づき被テスト記憶素子1の不良モードを判定する判定部34とを備えたものである。

【0025】次に動作について説明する。テスト2から被テスト記憶素子1に入力信号4が入力されると、指定されたビットアドレス信号4aに対応するビット出力データ5テスト2へ送られ判定される。その判定されたテスト結果6、及びビットアドレス信号4aはテスト2よ*50

*り不良モード解析装置31の不良データ収集部11へ送られ、不良データ収集部11から出力される該不良ビットマップを被テスト記憶素子1のビットレイアウトと等しい配列のメモリ情報、例えば、不良は“1”、良は“0”として不良ビットマップメモリ12へ格納する。さらに、表示部13が不良ビットマップメモリ12に格納された情報を2次元画像として表示する。

【0026】演算部33では、図7に示すような不良ビットマップ35の2次元配列の各行毎及び各列毎の各々の不良ビット数を計測し、横投影36及び縦投影37を求める。判定部34では横投影36と縦投影37を組み合わせるにより不良ビットのモードの特徴を抽出し、被テスト記憶素子1の不良モードを判定する。

【0027】この不良モード解析装置31においても、上記実施例の不良モード解析装置21と同様に、被テスト記憶素子1の不良モードを自動的にしかも短時間に特定することができる。さらに量産テストラインにおいて全製品を対象として不良モードの特定を行なうことができ、判定ミスをなくすることができる効果がある。

【0028】

【発明の効果】以上のように、請求項1の発明によれば、解析部を、取り込んだメモリ情報に基づき被テスト記憶素子の不良ビットマップを2次元画像としてとらえ、該2次元画像より被テスト記憶素子の不良モードを解析するように構成したので、被テスト記憶素子の不良モードを自動的にしかも短時間に特定することができる。さらに量産テストラインにおいて全製品を対象として不良モードの特定を行なうことができ、人為的な判定ミスをなくすることができる効果がある。

【0029】また、請求項2の発明によれば、解析部を、不良ビットマップの一部小領域内のビットデータマップと、この小領域内の不良ビット配列に従うライン不良用データテンプレートとの積和演算を不良ビットマップ全領域について行う演算部と、積和演算の結果に基づき被テスト記憶素子の不良モードを判定する判定部とにより構成したので、被テスト記憶素子の不良モードを自動的にしかも短時間に特定することができる。しかも、積和演算の結果より判定するので、人為的な判定ミスがなくなる等の効果がある。

【0030】また、請求項3の発明によれば、解析部

を、不良ビットマップの2次元配列の各行毎及び各列毎の各々の不良ビット数を計測し、各行毎の計測値から横投影を求め、各列毎の計測値から縦投影を求める演算部と、これらの投影データに基づき被テスト記憶素子の不良モードを判定する判定部とにより構成したので、被テスト記憶素子の不良モードを自動的にしかも短時間に特定することができる。しかも横投影と縦投影とを組み合わせることで、人為的な判定ミスがなくなる等の効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による記憶素子の不良モード解析装置を示す構成図である。

【図2】この発明の一実施例による不良ビットマップの表示例を示す図である。

【図3】この発明の一実施例による小領域のビットデータマップとライン不良用データテンプレートを示す図である。

【図4】この発明の一実施例において用いられるビット不良用データテンプレートを示す図である。

【図5】この発明の一実施例において用いられるブロック不良用データテンプレートを示す図である。

【図6】この発明の他の実施例の記憶素子の不良モード解析装置の構成図である。

【図7】この発明の他の実施例の演算部より出力される

投影データを示す図である。

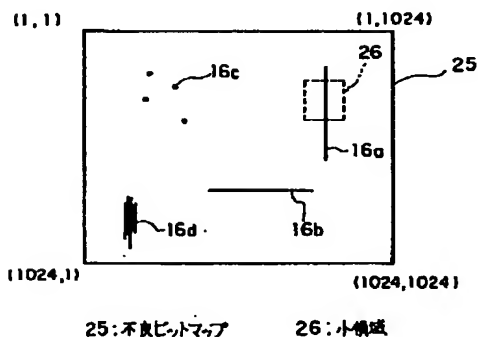
【図8】従来の記憶素子の不良モード解析装置の構成図である。

【図9】従来の不良ビットマップの表示例を示す図である。

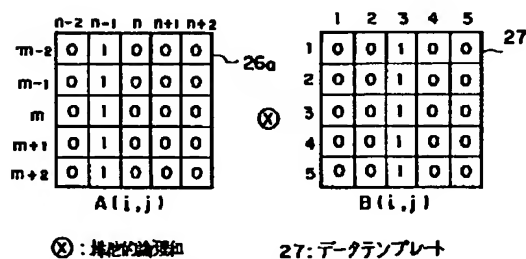
【符号の説明】

- 1 被テスト記憶素子
- 2 テスタ（試験装置）
- 11 不良データ収集部
- 12 不良ビットマップメモリ
- 22 解析部
- 23 演算部
- 24 判定部
- 25 不良ビットマップ
- 26 小領域
- 27 ライン不良用データテンプレート（データテンプレート）
- 32 解析部
- 33 演算部
- 34 判定部
- 35 不良ビットマップ（ビットデータマップ）
- 36 横投影
- 37 縦投影

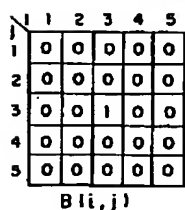
【図2】



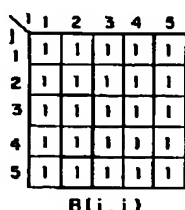
【図3】



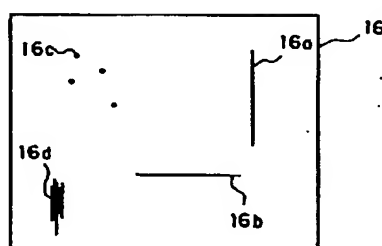
【図4】



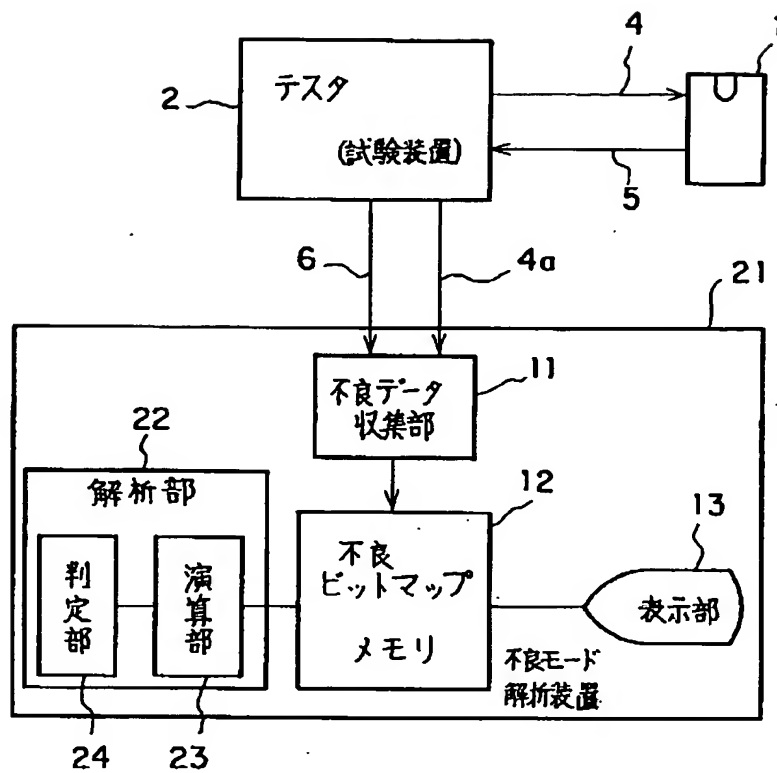
【図5】



【図9】

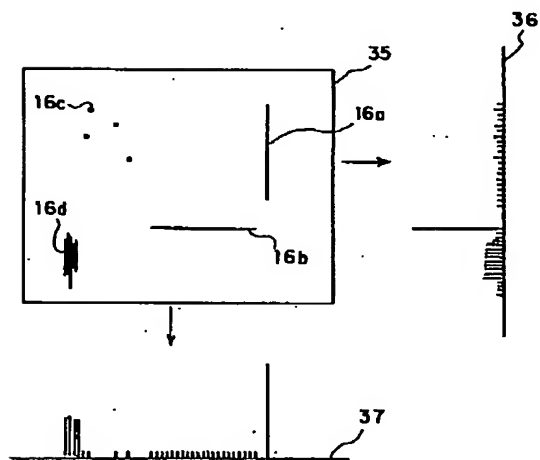


【図1】



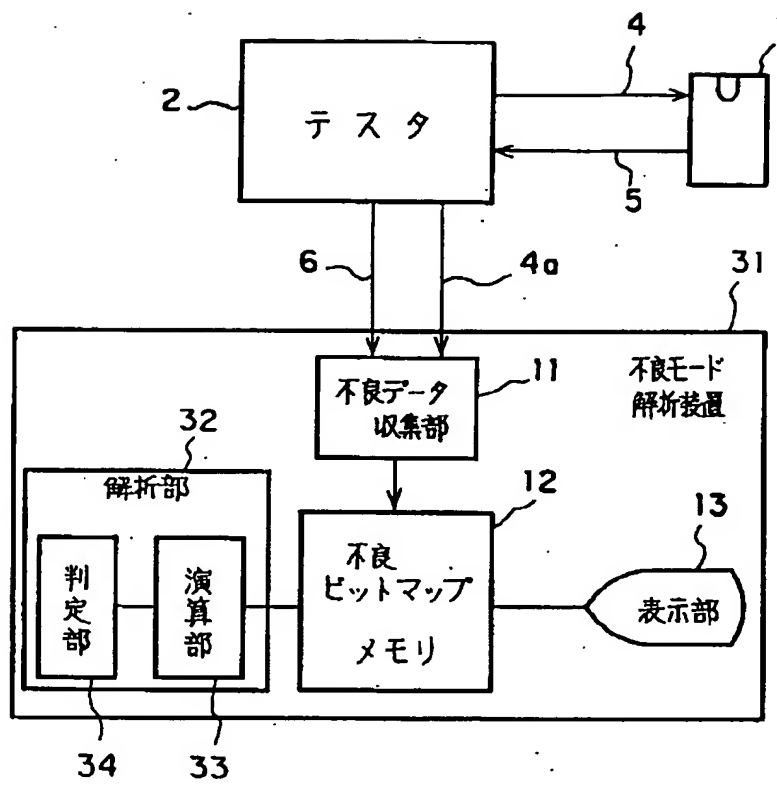
1: 被テスト記憶素子

【図7】



35: 不良ビットマップ (ビットデータマップ)
 36: 横投影
 37: 縦投影

【図6】



【図8】

